

# **Circuitos Electrónicos Digitales**

## **E.T.S.I. Telecomunicación**

### **Universidad Politécnica de Madrid**

## **Principios básicos**

Niveles lógicos en lógica binaria. Carga y  
descarga de capacidades en CMOS.  
Temporización básica

# Analógico vs. digital

## Analógico:

– Las señales varían de forma continua en un rango dado de tensiones, corrientes, etc.

## Digital:

– Las señales varían de forma continua en un rango dado de tensiones corrientes, etc...

– ¡Pero asumiremos que no lo hacen!

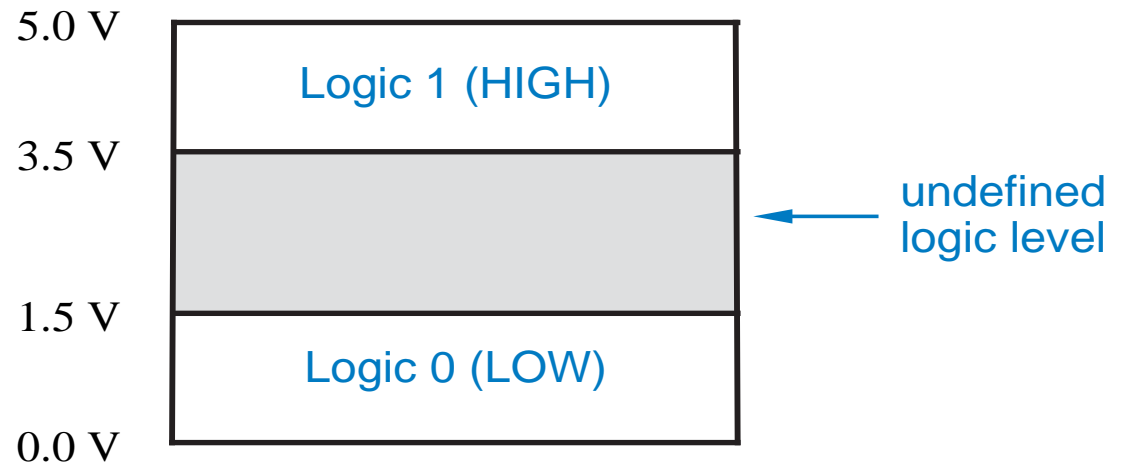
- Abstracción digital: La señal digital se modela como si tuviera, en cada instante, un valor de entre dos posibles (ignoramos comportamiento analógico)
- La tecnología vira hacia “lo digital”

## Ventajas de los circuitos digitales

- Reproducibilidad de los resultados (misma entrada misma salida), facilidad de diseño (“diseño lógico”), flexibilidad y funcionalidad, programabilidad, velocidad, economía, fácil integración con nuevos avances tecnológicos
- **OJO** : No podemos prescindir del diseño analógico

# Niveles lógicos

- Región indefinida debida a:
  - Sistema digital
  - Diferenciación débil => fuerte
- El umbral de conmutación



Copyright © 2000 by Prentice Hall, Inc.  
Digital Design Principles and Practices, 3/e

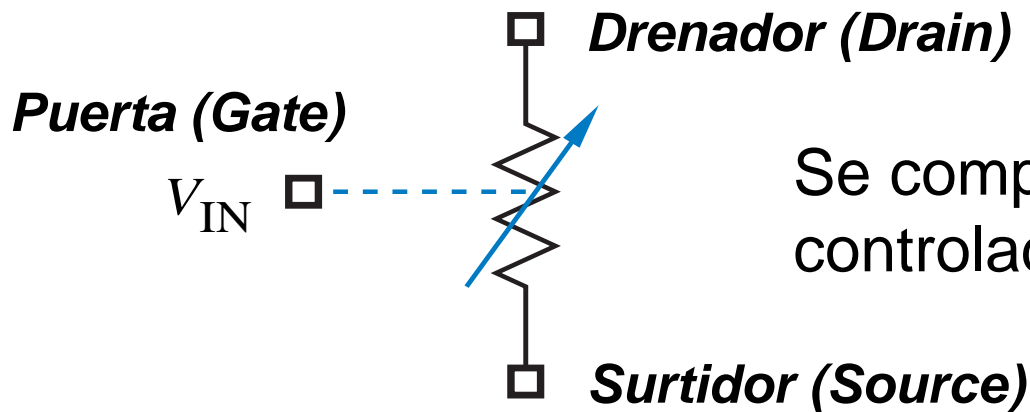
varía con la tensión de alimentación, temperatura, proceso tecnológico, envejecimiento, etc.

- Se hace necesario tener un margen de ruido “noise margin”

# Tipos de tecnología

- 1930s, Bell Labs: primer circuitos lógicos usando relés
- 1940s, usando tubos de vacío; ENIAC: 18000 tubos, 31mx3mx1m
- 1950s, invención del transistor bipolar: ordenadores más rápidos
- 1960s, invención del circuito integrado: diodos+transistores+otros componentes en un solo chip
- 1960s: lógica de transistor-transistor (TTL) basada en bipolares
- 1960s. también demostración de circuitos lógicos con MOSFETs
- 1980s: desarrollo de la tecnología MOS: complementary-MOS (CMOS)
- Hoy en día CMOS usado casi únicamente en todos los circuitos integrados:
  - mayor velocidad, menor consumo que TTL
  - las tensiones de alimentación han venido decreciendo en los últimos años:  
desde los 5 V de TTL -> 3.3 -> 2.5 -> 1.8 V

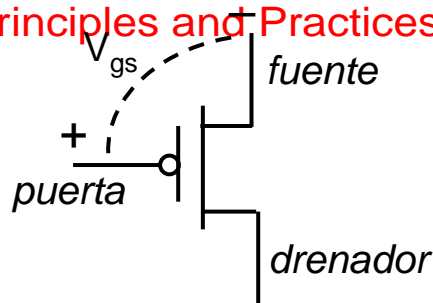
# Uso de los transistores MOS



Se comportan como una resistencia  $R_{ds}$  controlada con la tensión  $V_{gs}$

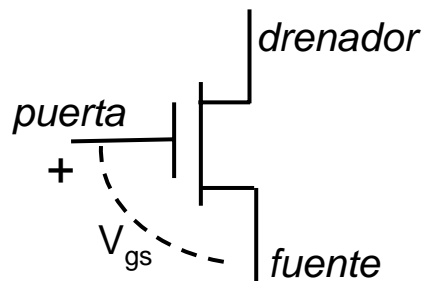
Copyright © 2000 by Prentice Hall, Inc.  
Digital Design Principles and Practices, 3/e

PMOS



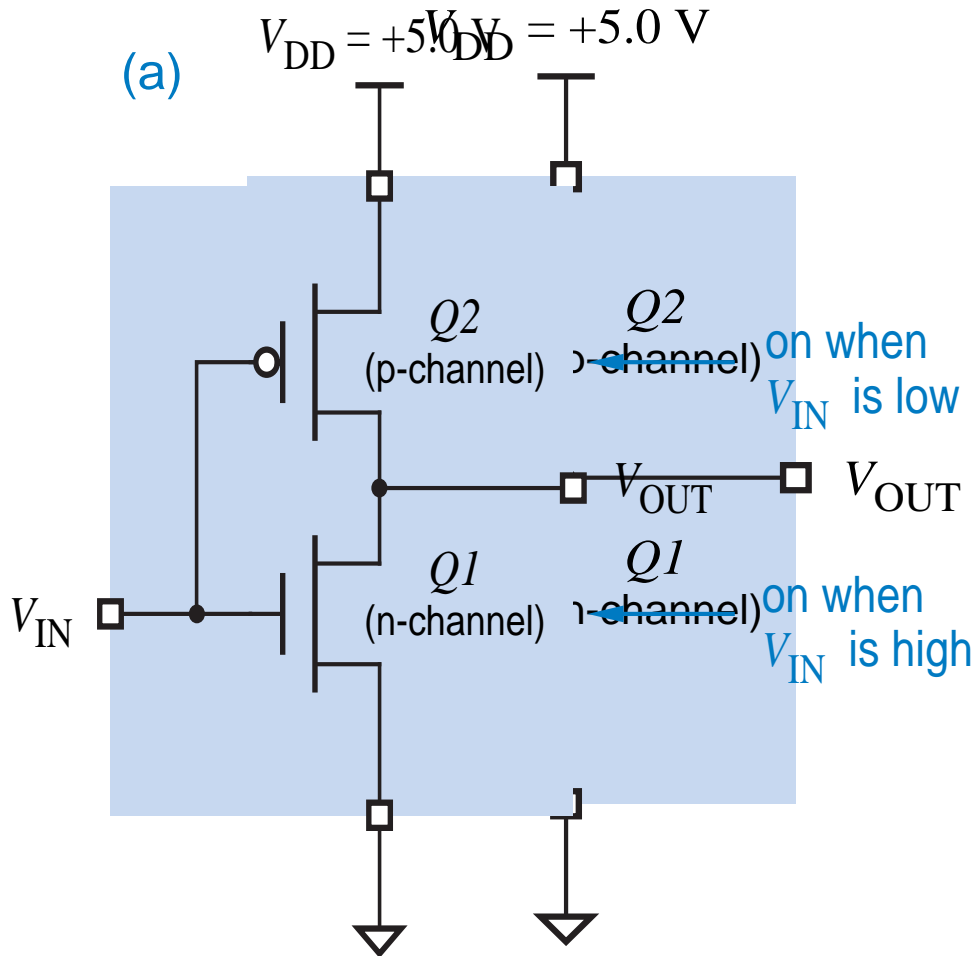
$$\begin{cases} V_{gs}=0 \Rightarrow R_{ds} \text{ muy alta } (>M\Omega) = R_{off} \\ V_{gs}<0 \Rightarrow R_{ds} \text{ pequeña } (\sim 200\Omega) = R_{on} \end{cases}$$

NMOS



$$\begin{cases} V_{gs}=0 \Rightarrow R_{ds} \text{ muy alta } (>M\Omega) = R_{off} \\ V_{gs}>0 \Rightarrow R_{ds} \text{ pequeña } (\sim 100\Omega) = R_{on} \end{cases}$$

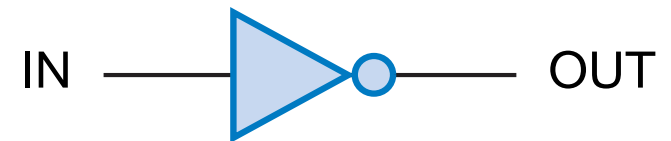
# Ejemplo: inversor CMOS



(b)

$V_{IN}$	$Q1$	$Q2$	$V_{OUT}$
0.0 (L)	off	on	5.0 (H)
5.0 (H)	on	off	0.0 (L)

(c)



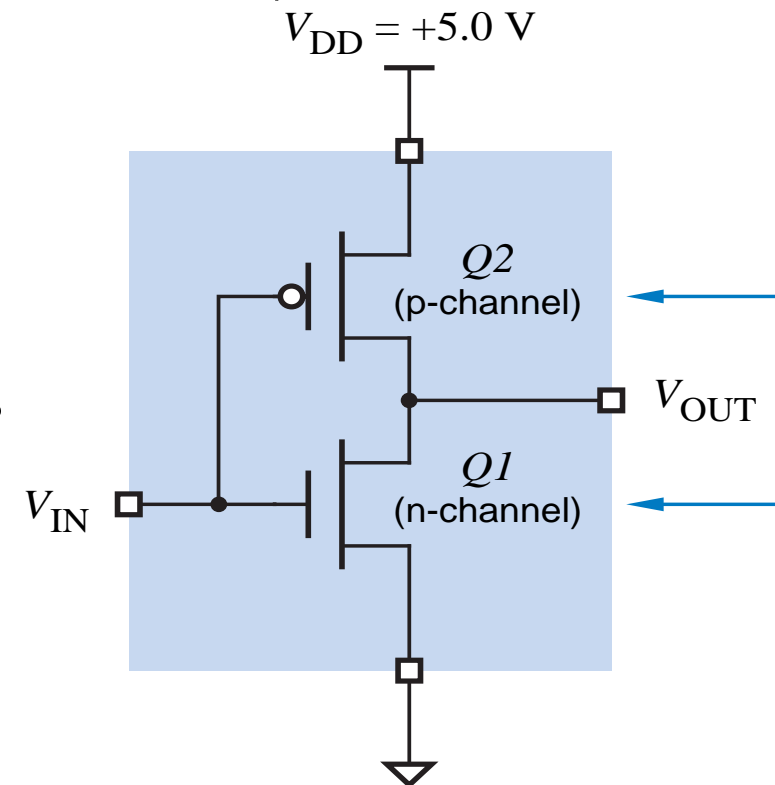
Copyright © 2000 by Prentice Hall, Inc.

Digital Design Principles and Practices, 3/e

**Ejercicio: Analizar puertas NAND y NOR en CMOS (Wakerly 90)**

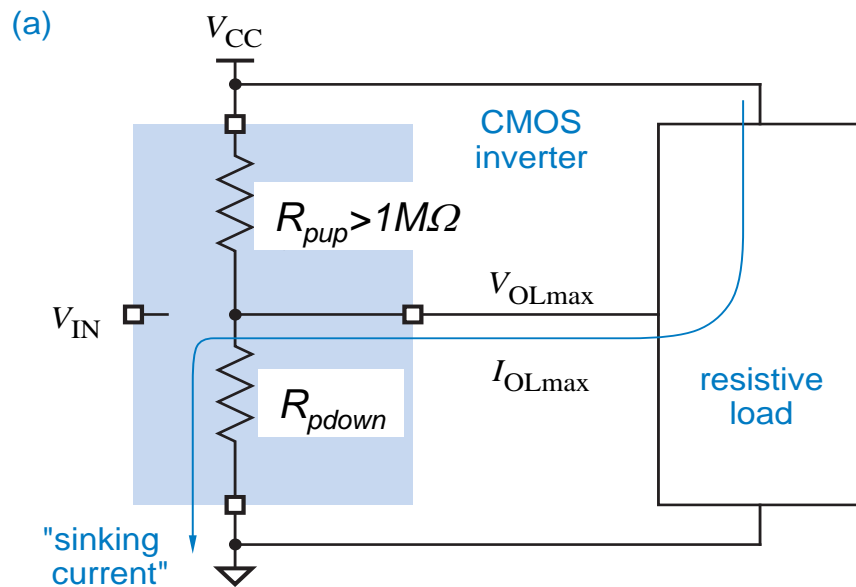
# Características de las puertas CMOS

- No hay entrada de corriente continua en las puertas de los transistores (y por lo tanto de las puertas)
  - Solamente hay que cargar y descargar la capacidad de la entrada, lo que requiere corriente (consumo de potencia  $CV^2f$ )
- Solamente se consume corriente a la salida en la conmutación (no hay consumo estático)
  - El consumo se produce solamente cuando los dos transistores están activos
  - El consumo depende de la frecuencia
  - Tiempos de subida y bajada largos implican mayor consumo

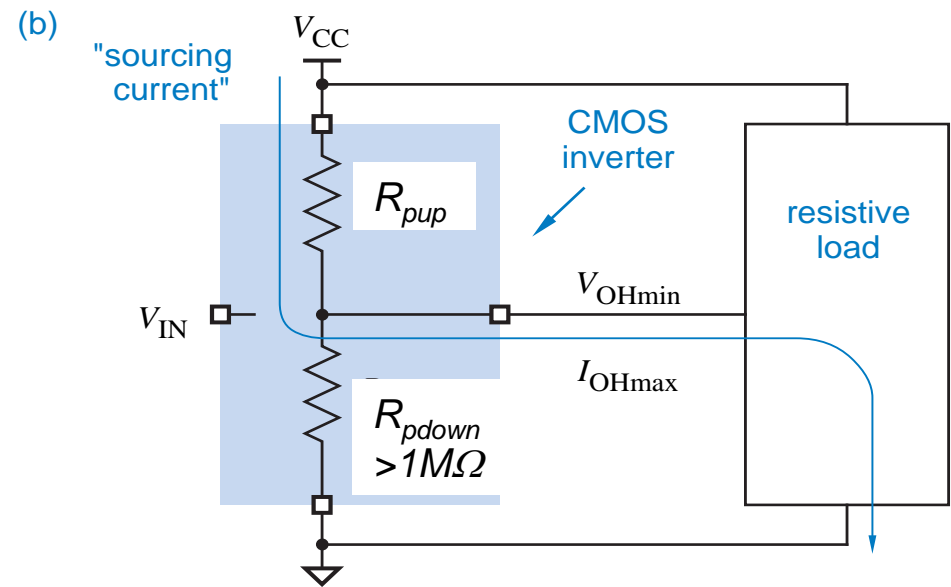


# Carga en continua (DC)

- La salida debe de absorber la corriente a través de  $R_{pdown}$  de la carga cuando está a nivel bajo "L"



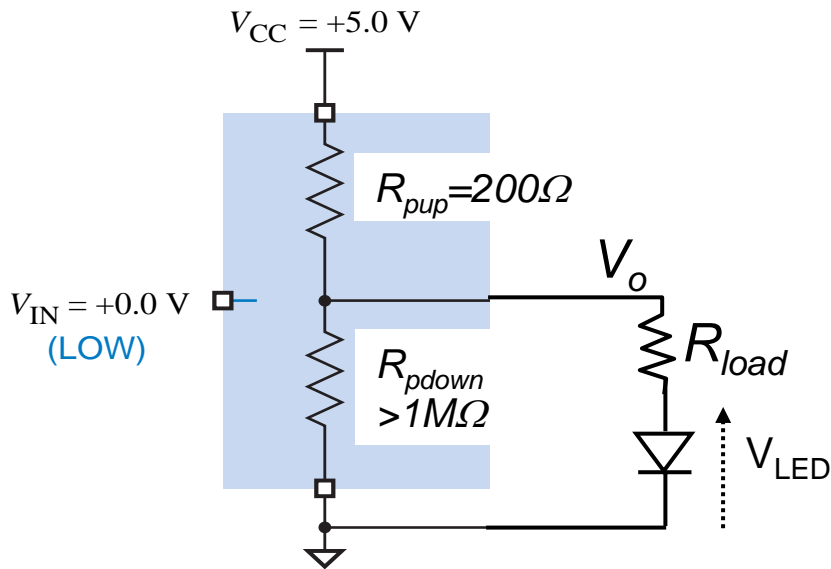
- La salida debe dar la corriente a través de  $R_{pup}$  a la carga cuando está a nivel alto "H"



Copyright © 2000 by Prentice Hall, Inc.  
Digital Design Principles and Practices, 3/e

- $I_{OLmax}$ ,  $I_{OHmax}$

# Ejemplo de carga en DC



Copy  
Digital Design Principles and Practices, 3/e

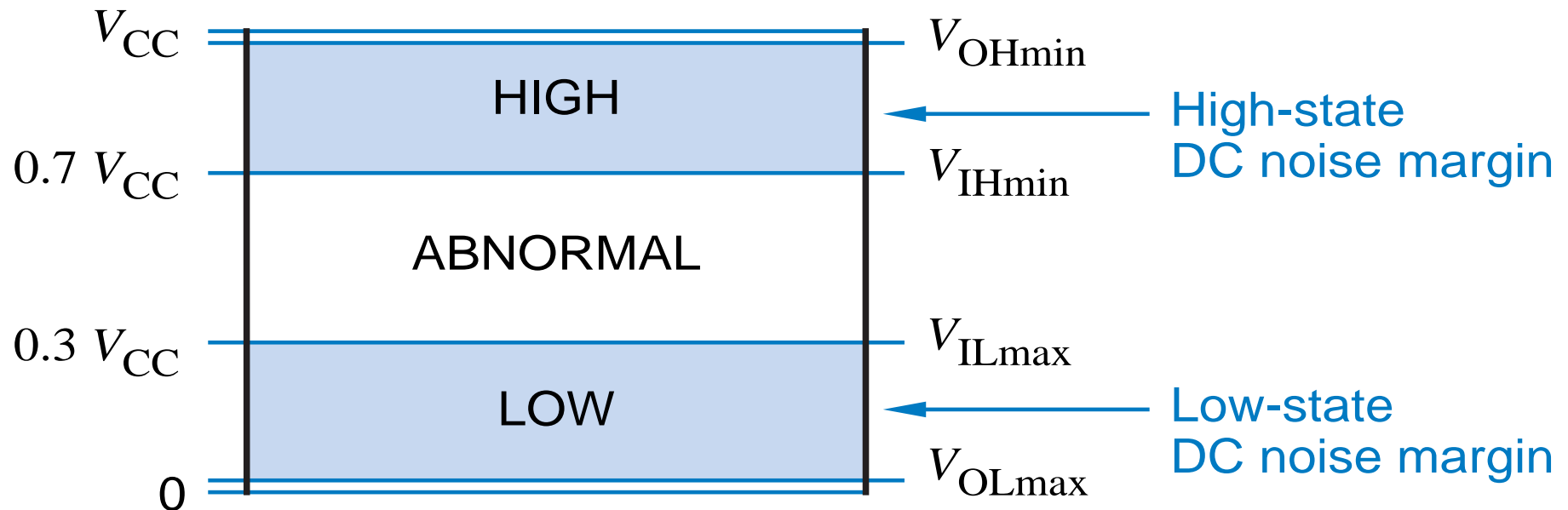
$$\frac{(V_{cc} - V_o)}{R_{pup}} = \frac{(V_o - V_{LED})}{R_{load}} = 10 \text{ mA}$$

- $V_o$  no es 5 V, como se pensaba!!!
- Un LED que tiene  $V_{LED}^{ON} = 0.6 \text{ V}$  y consume  $10 \text{ mA}$ , necesita  $R_{load} = 240 \Omega$ , y  $V_o = 3 \text{ V}$
- El inversor debe tener  $I_{OHmax} = 10 \text{ mA}$ , y  $V_{OHmin} = 3 \text{ V}$  (difícil de encontrar!!)

**Ejercicio:** repetir para  $V_{IN} = 5 \text{ V}$ , con  $R_{load} + \text{LED}$  conectados entre  $V_{CC}$  y  $V_o$  (asumiendo  $R_{pdown}^{ON} = 100 \Omega$ )

# Limitaciones en la carga en continua DC

- Si hay mucha carga, los valores a la salida pueden quedar fuera de especificaciones

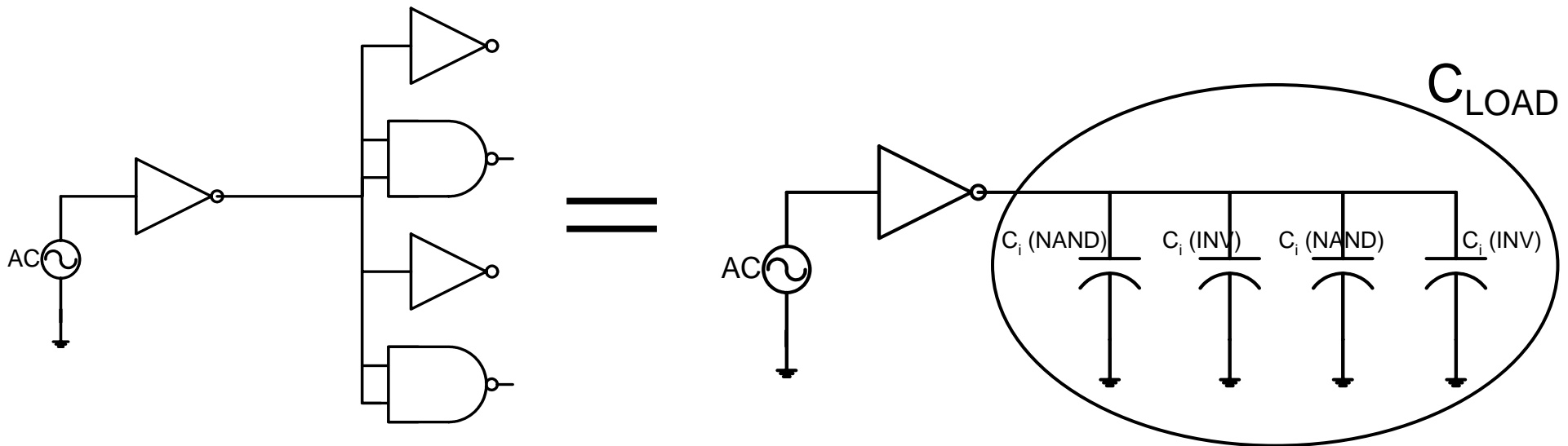


- Limitaciones de las salidas:  $V_{OHmin}$ ,  $V_{OLmax}$
- Limitaciones de las entradas:  $V_{IHmin}$ ,  $V_{ILmax}$

# Carga en alterna (AC)

- La carga en alterna (AC) es un factor crítico en los circuitos CMOS
  - Las entradas CMOS tienen una impedancia de entrada muy alta, por lo que la carga en DC es despreciable
  - Las entradas CMOS, tanto por su proceso de fabricación como en su encapsulado y conexión tienen una componente capacitiva significativa
  - El tiempo que se emplea en la carga y descarga de capacidades es la principal limitación en la velocidad de esta tecnología (retardos)
  - La carga y descarga de capacidades es el principal factor que influye en el consumo de esta tecnología

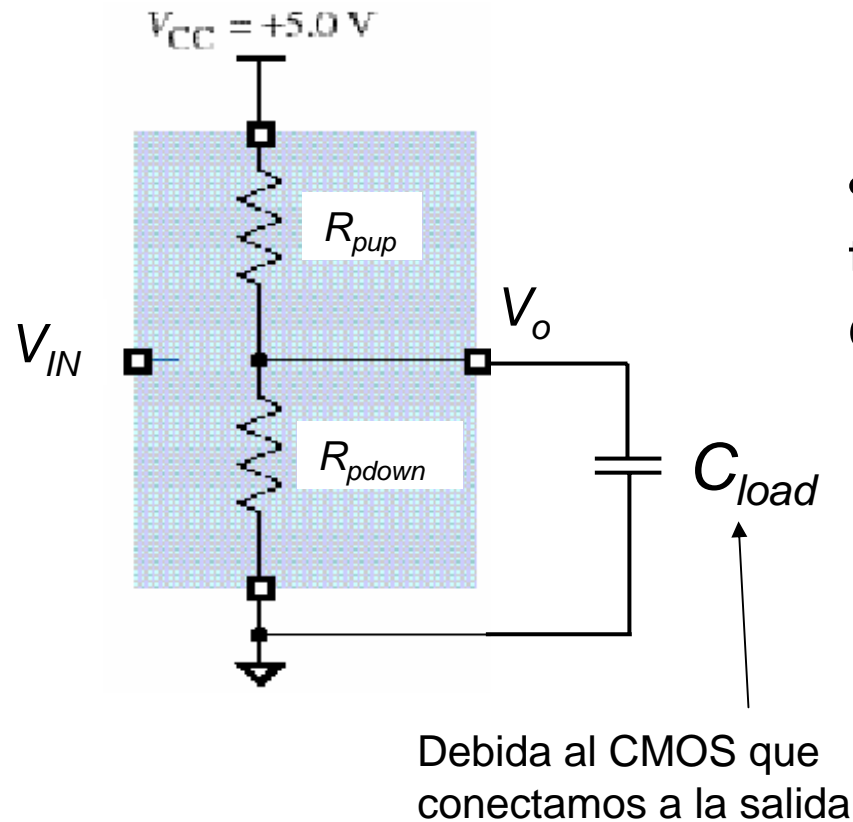
# Carga en AC de la salida de un inversor



- El inversor tiene que cargar todas puertas de su fan-out cada vez que la entrada sea menor que  $V_{ILmax}$
- El inversor tiene que descargar todas puertas de su fan-out cada vez que la entrada sea mayor que  $V_{IHmin}$
- La carga que ve el inversor es:

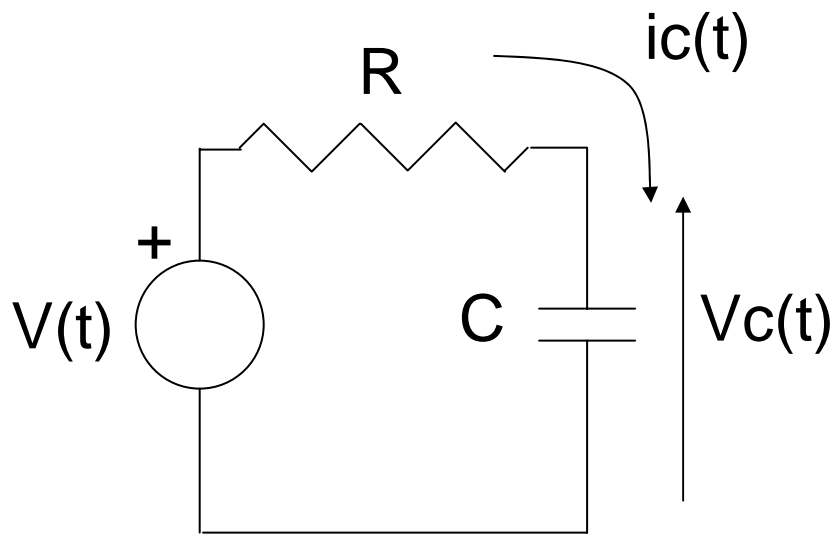
$$C_{LOAD} = 2 * C_i(INV) + 2 * C_i(NAND)$$

# Circuitos para el análisis de los tiempos de transición



- El inversor debe cargar  $C_{load}$  a través de  $R_{pup}$ , y descargarlo a través de  $R_{pdown}$

# Carga y descarga de capacidades

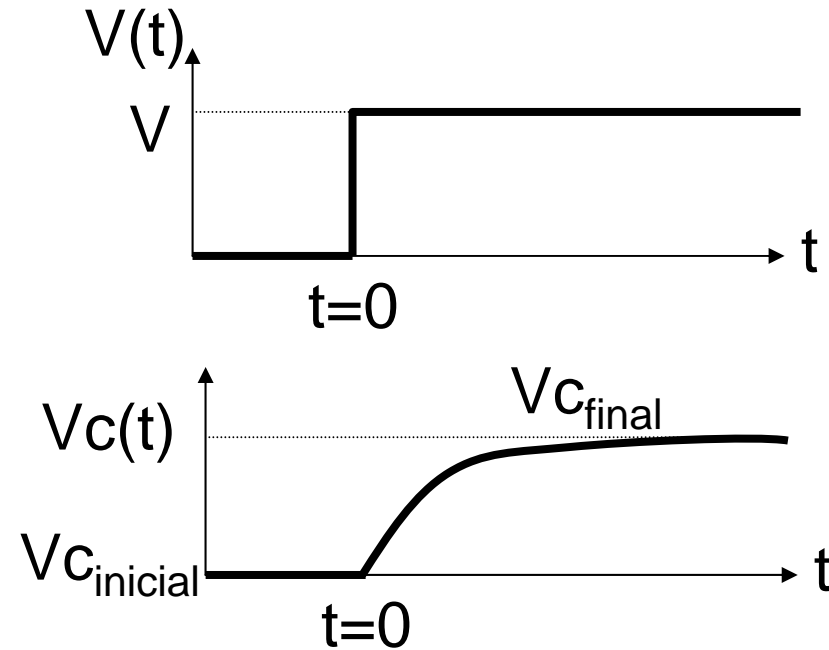
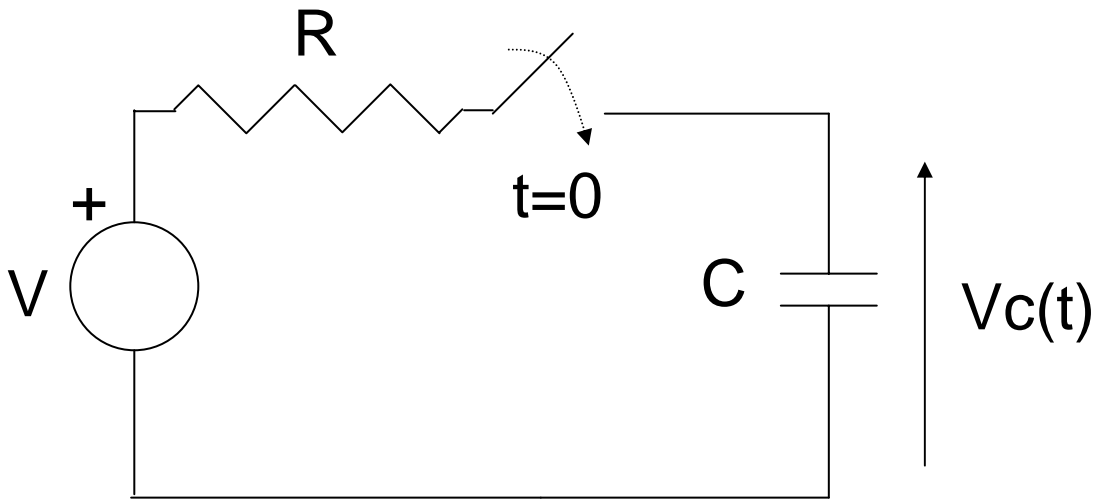


$$V_c(t) = \frac{1}{C} \int_{-\infty}^t i(t) dt \quad (1)$$

$$i_c(t) = \frac{V(t) - V_c(t)}{R} \quad (2)$$

$$\tau \equiv \text{constante de tiempo} = RC$$

# Carga a tensión constante

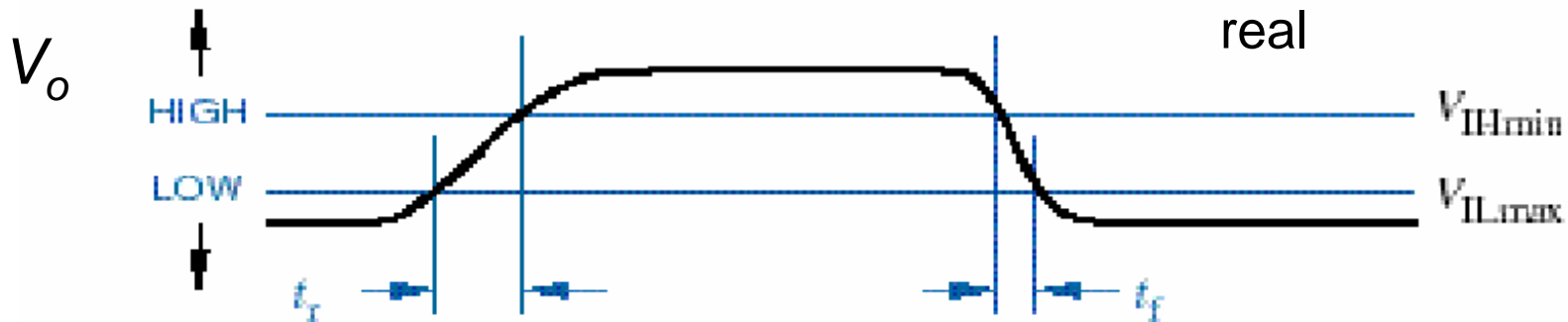


$$V_C(t) = V_{C_{final}} - (V_{C_{final}} - V_{C_{inicial}}) \exp\left(-\frac{t}{RC}\right)$$

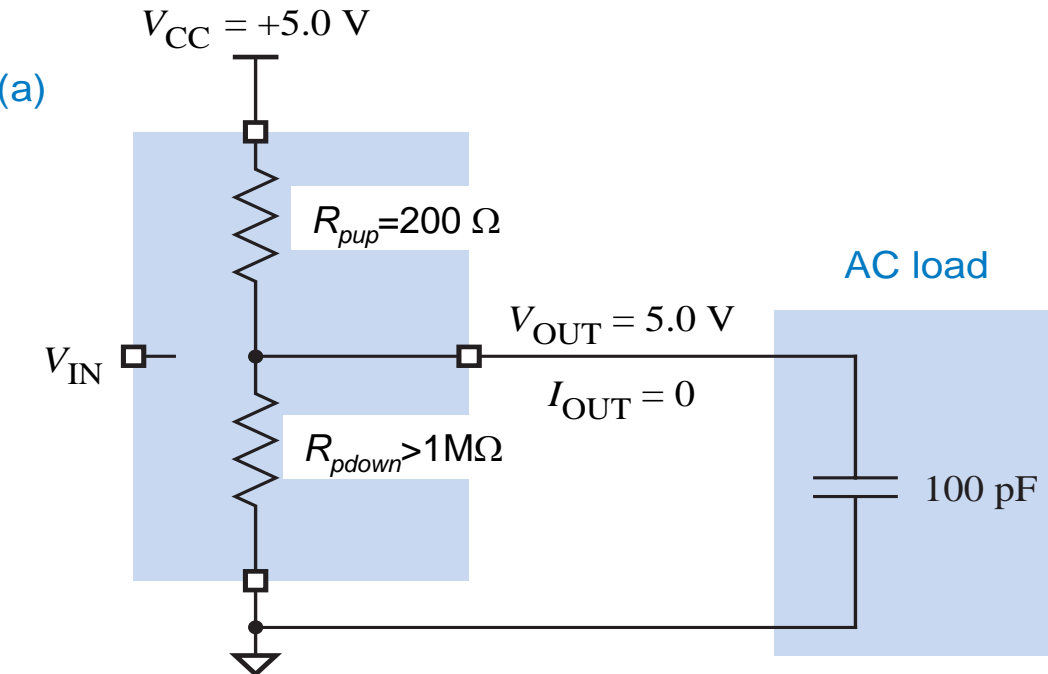
**Ejercicio:** repetir para descarga a tensión constante

# Tiempos de transición (referidas a las salidas)

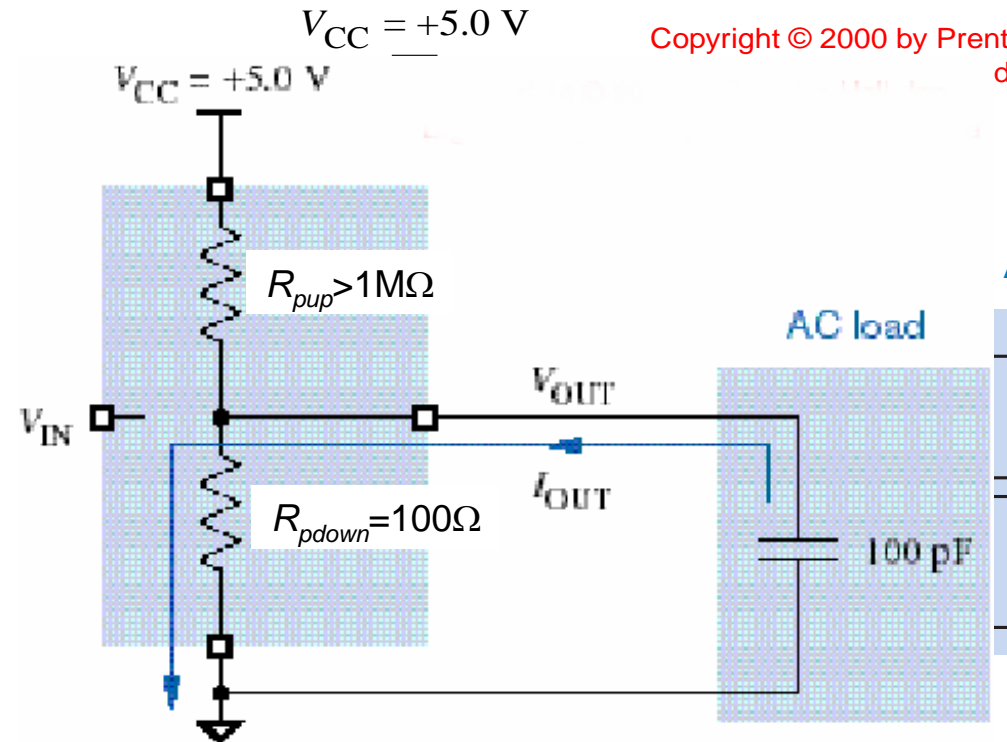
- Tiempo de subida (rise time):  $t_r$  de  $V_{Lmax}$  a  $V_{Hmin}$
- Tiempo de bajada (fall time):  $t_f$  de  $V_{Hmin}$  a  $V_{Lmax}$



# Transición de "H" a "L"

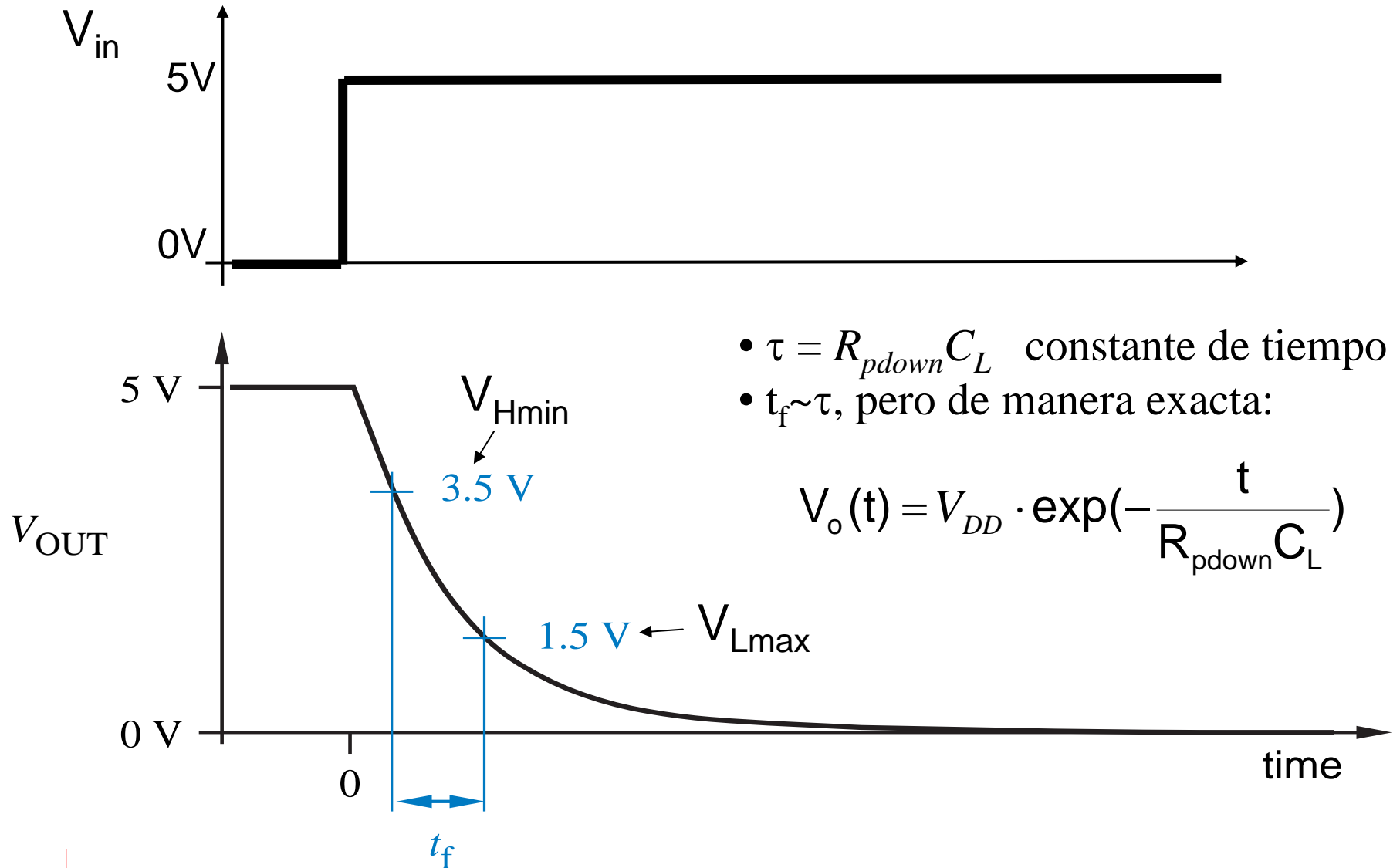


Estado inicial

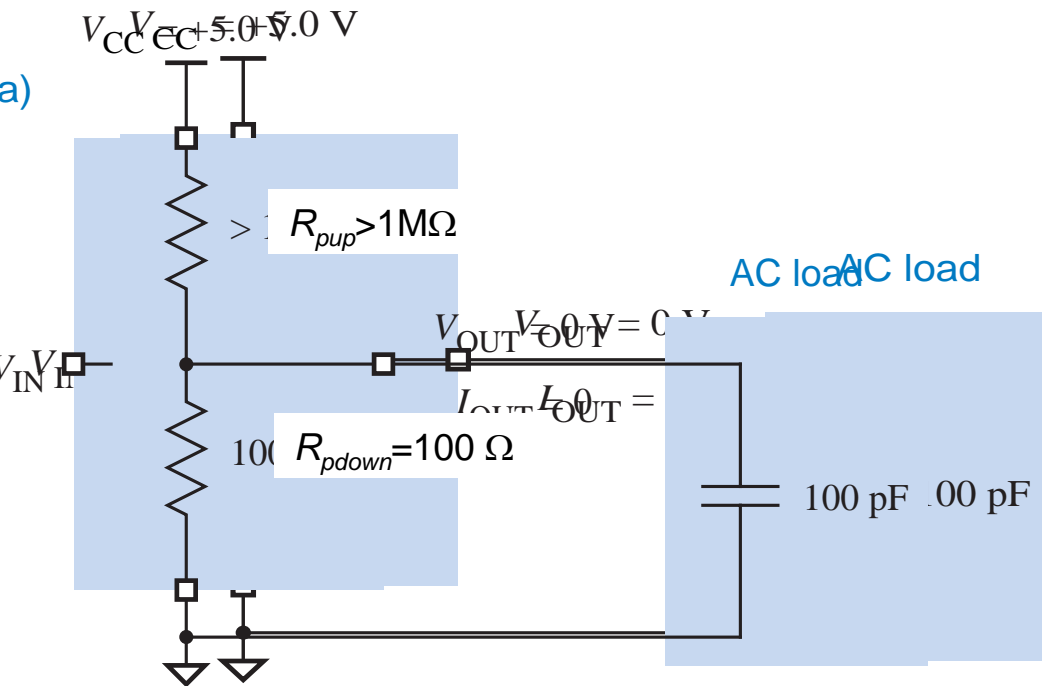


Descarga de la capacidad de puerta

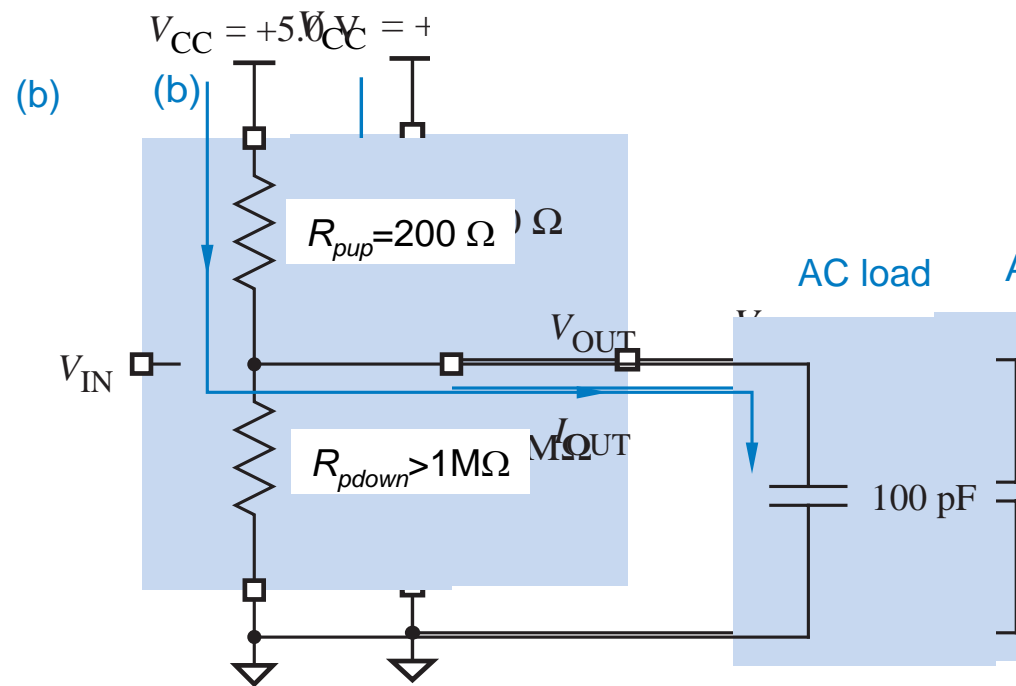
# Tiempo de bajada "fall time" exponencial



# Transición de "L" a "H"

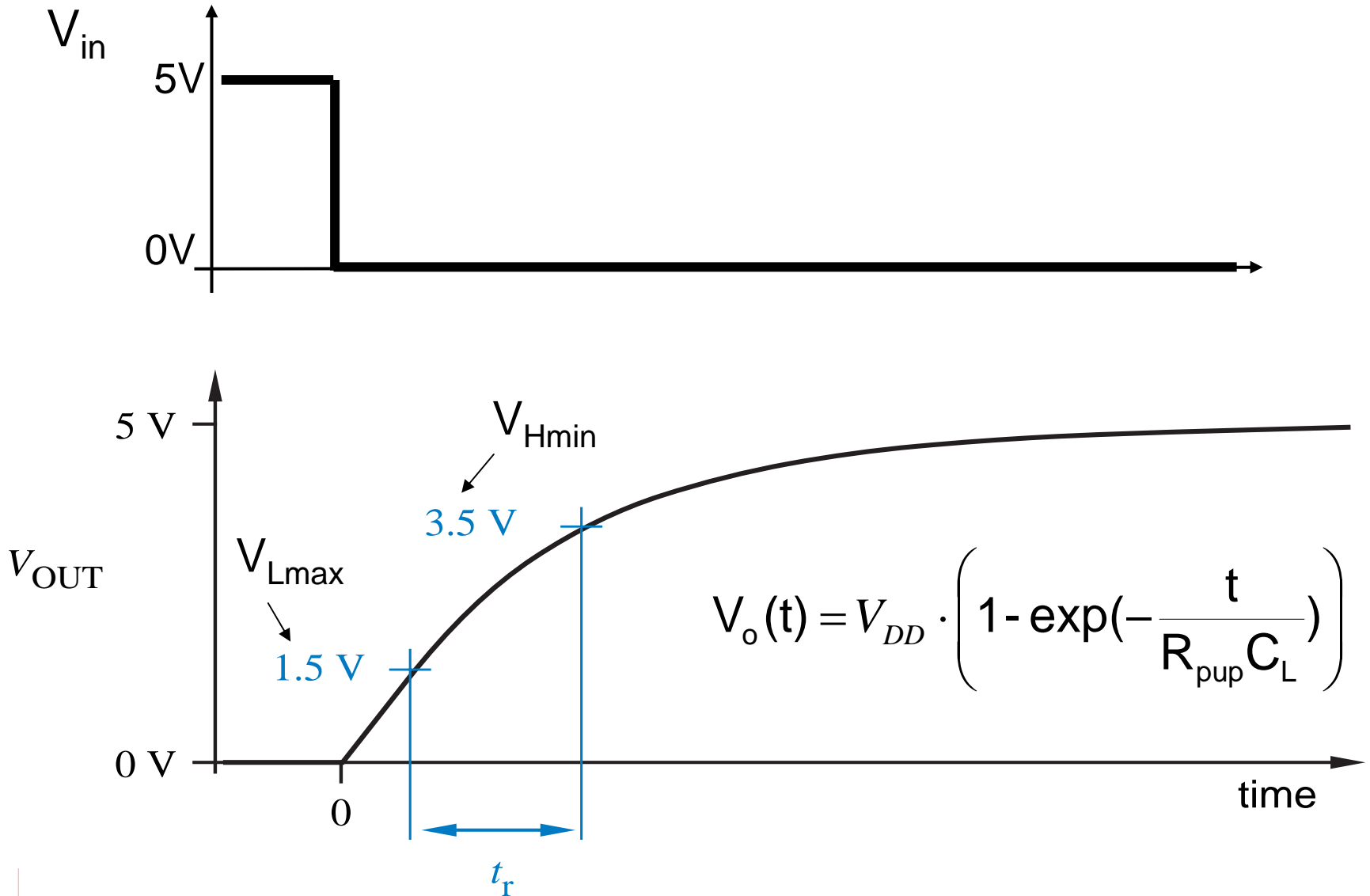


Estado inicial



Carga de la capacidad de puerta

# Tiempo de subida “rise time” exponencial



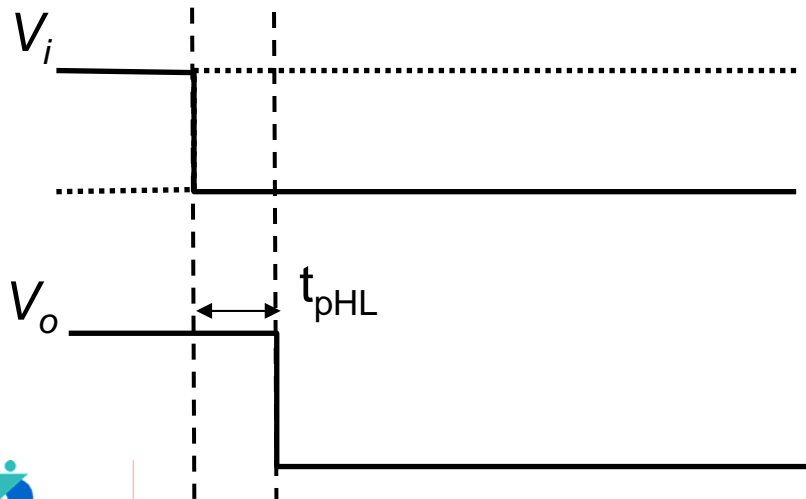
# Consideraciones de los tiempos de transición

- Mayor capacidad  $\rightarrow$  mayor retardo
- Mayor resistencia " $R_{on}$ "  $\rightarrow$  mayor retardo
- Menor resistencia " $R_{on}$ "  $\rightarrow$  mayores transistores
- Tiempos de transición más lentos  $\rightarrow$  más disipación de potencia
- Mayor capacidad  $\rightarrow$  más consumo ( $CV^2f$ ), con independencia de los tiempos de subida y bajada

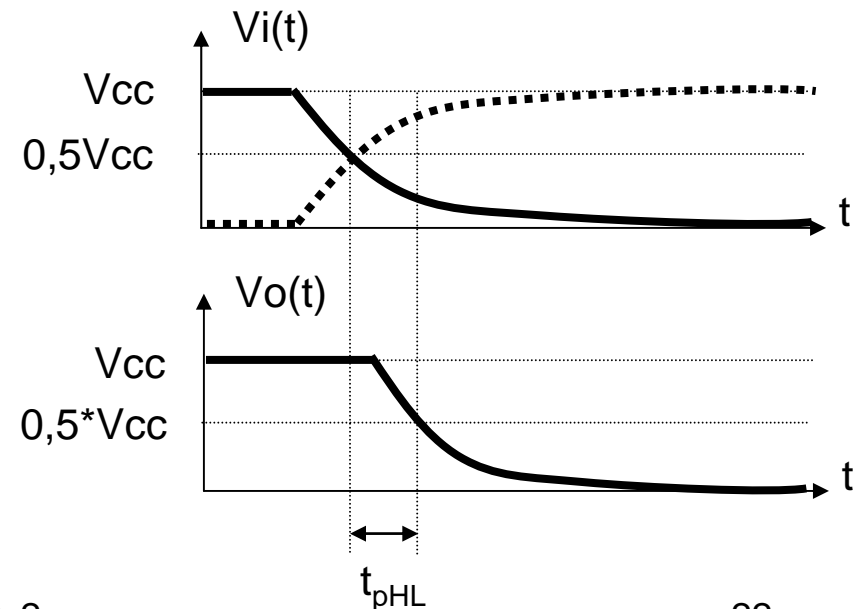
# Tiempo de propagación $t_{pHL}$

- Tiempo de propagación de alto a bajo  $t_{pHL}$ : Tiempo que transcurre entre los siguientes eventos:
  - (1) La entrada tiene una tensión del 50% del valor de alimentación (Independientemente de si la transición es de H a L o de L a H)
  - (2) La salida alcanza dicho valor cuando pasa de H a L

- Asumiendo que  $t_r$  y  $t_f=0$ :

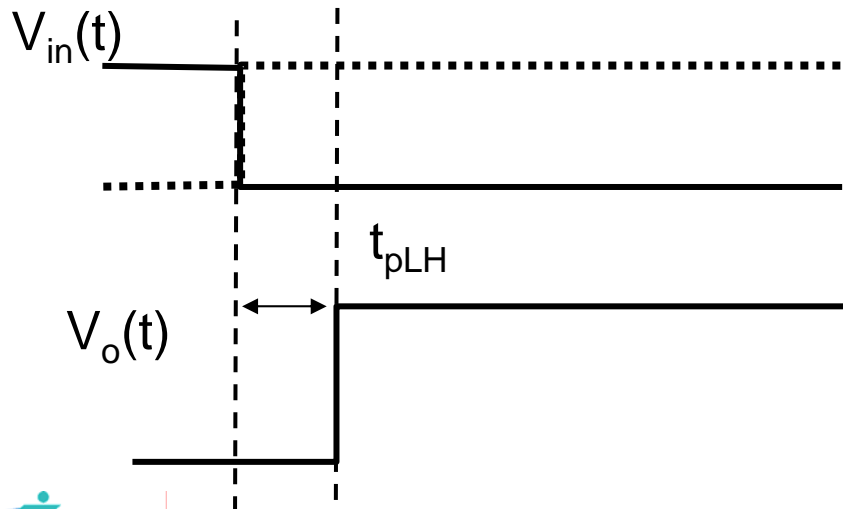


- En la realidad:

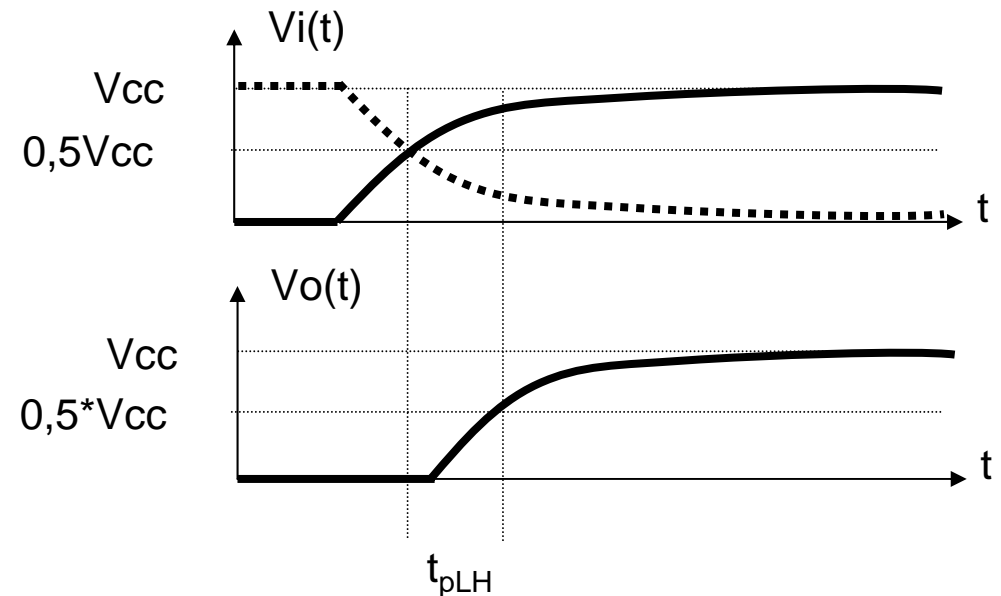


# Tiempo de propagación $t_{pLH}$

- Tiempo de propagación de bajo a alto  $t_{pLH}$ : Tiempo que transcurre entre los siguientes eventos:
  - (1) La entrada tiene una tensión del 50% del valor de alimentación (Independientemente de si la transición es de H a L o de L a H)
  - (2) La salida alcanza dicho valor cuando pasa de L a H
- Asumiendo que  $t_r$  y  $t_f=0$ :

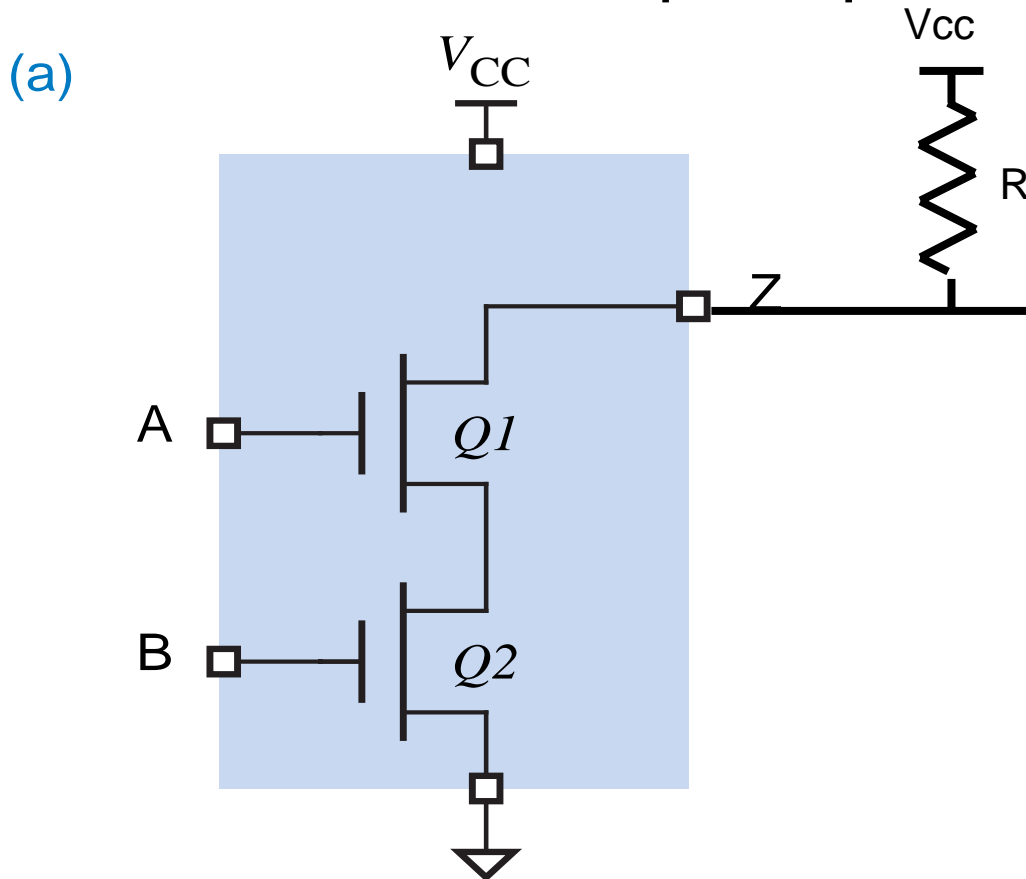


- En la realidad:



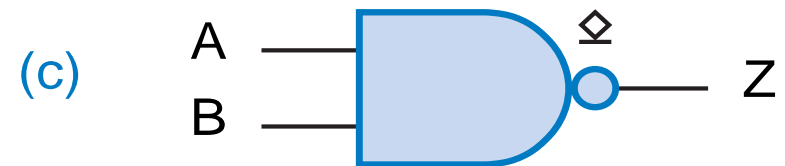
# Salidas en colector abierto “open-drain”

- No hay transistor pMOS y hay que utilizar una resistencia de “pull-up”



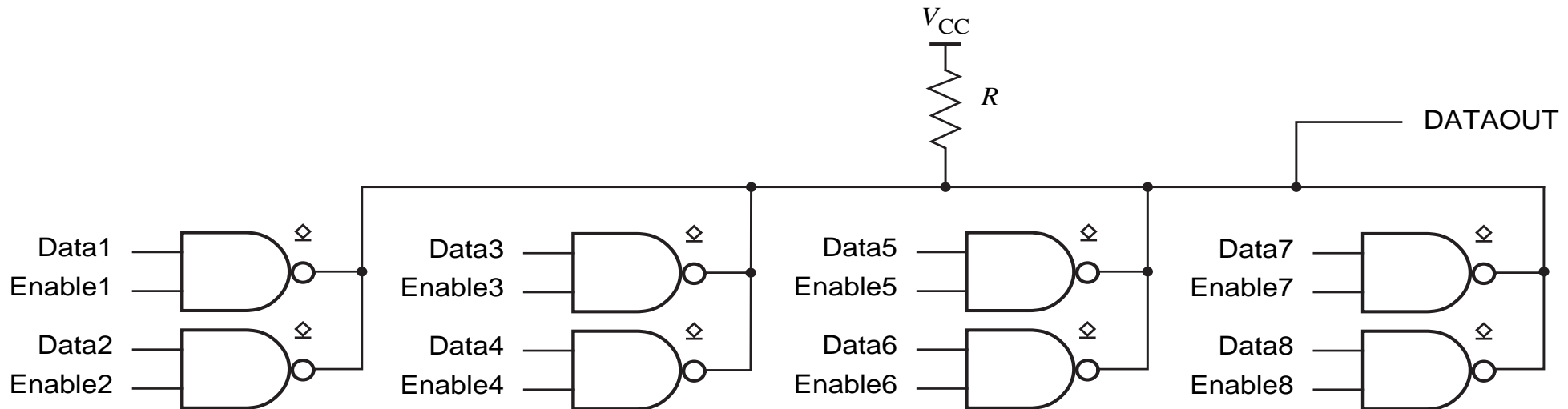
(b)

A	B	$Q1$	$Q2$	Z
L	L	off	off	open
L	H	off	on	open
H	L	on	off	open
H	H	on	on	L



# ¿Para qué puede servir?

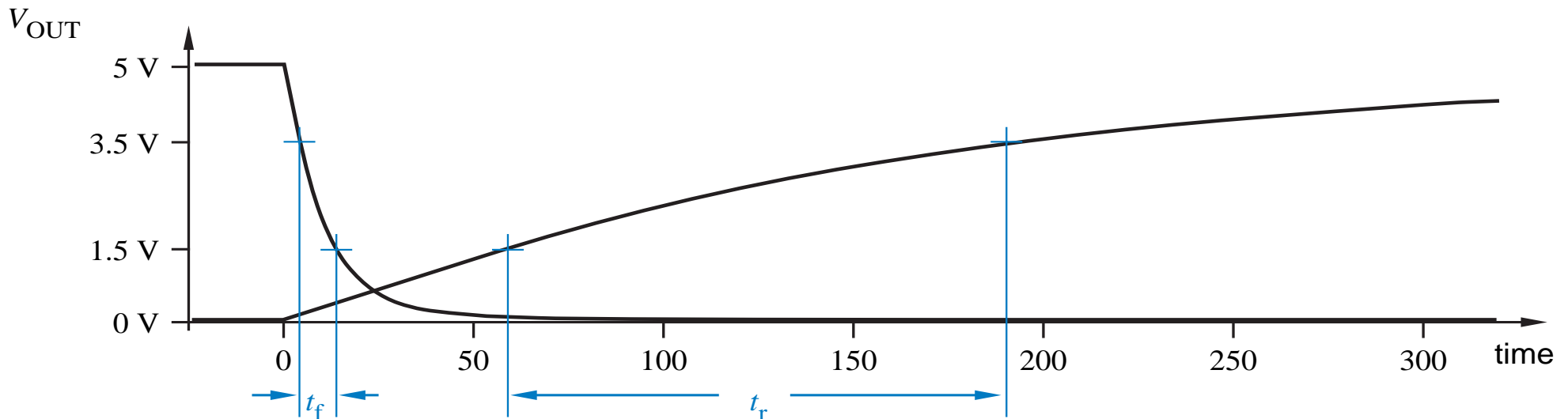
- Realización de “buses”



- Problema: El tiempo de subida es muy malo

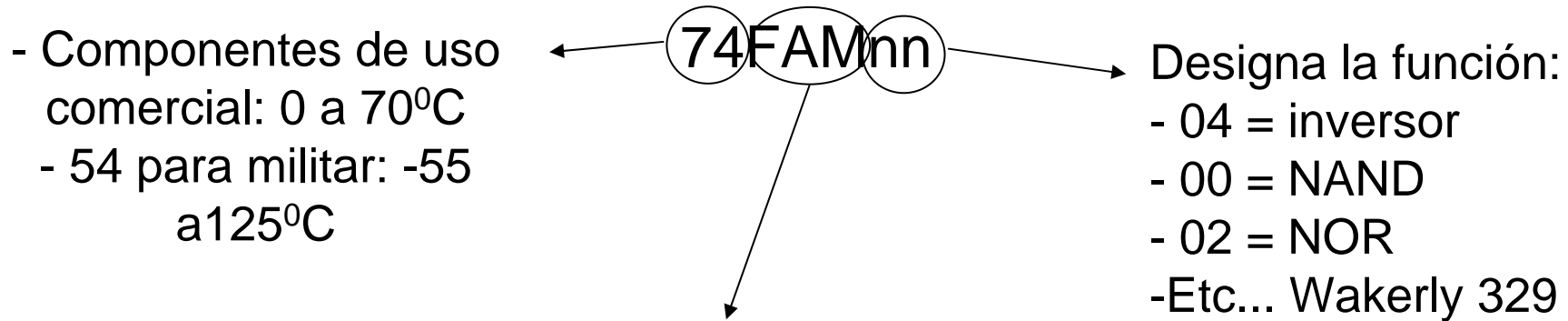
# Tiempos de transición en colector abierto

- La resistencia de “pull-up” es mayor que la resistencia de “on” de un transistor pMOS



- Se puede reducir un poco el tiempo de subida reduciendo la resistencia de “pull-up”; limitada por  $I_{OLmax}$  y por  $V_{OHmin}$  y  $V_{OLmax}$

# Familias lógicas en CMOS



Familia:

- HC: high speed CMOS
- VHC: very HC: tiempos propagación más cortos

$$\left. \begin{array}{l} V_{dd}=2 \text{ a } 6V \\ V_{IHmin}=3.85V \\ V_{ILmax}=1.35V \end{array} \right\}$$

- HCT: high speed CMOS TTL-compatible
- VCTT: very HCT: tiempos propagación más cortos

$$\left. \begin{array}{l} V_{dd}=5V \\ V_{IHmin}=2.0V \\ V_{ILmax}=0.8V \end{array} \right\}$$

- Más detalles: Wakerly 140-141

# Hoja de características del fabricante

Philips Semiconductors

Product specification

Quad 2-input NAND gate

74HC00; 74HCT00

## LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 60134); voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
$V_{CC}$	supply voltage		-0.5	+7.0	V
$I_{IK}$	input diode current	$V_I < -0.5 \text{ V}$ or $V_I > V_{CC} + 0.5 \text{ V}$	-	$\pm 20$	mA
$I_{OK}$	output diode current	$V_O < -0.5 \text{ V}$ or $V_O > V_{CC} + 0.5 \text{ V}$	-	$\pm 20$	mA
$I_O$	output source or sink current	$-0.5 \text{ V} < V_O < V_{CC} + 0.5 \text{ V}$	-	$\pm 25$	mA
$I_{CC}, I_{GND}$	$V_{CC}$ or GND current		-	$\pm 50$	mA
$T_{stg}$	storage temperature		-65	+150	°C
$P_{tot}$	power dissipation	$T_{amb} = -40 \text{ to } +125 \text{ °C}$ ; note 1	-	500	mW

# Hoja de características del fabricante

## DC CHARACTERISTICS

Type 74HC00

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		OTHER	V <sub>CC</sub> (V)				
T <sub>amb</sub> = -40 to +85 °C; note 1							
V <sub>IH</sub>	HIGH-level input voltage		2.0	1.5	1.2	-	V
			4.5	3.15	2.4	-	V
			6.0	4.2	3.2	-	V
V <sub>IL</sub>	LOW-level input voltage		2.0	-	0.8	0.5	V
			4.5	-	2.1	1.35	V
			6.0	-	2.8	1.8	V
V <sub>OH</sub>	HIGH-level output voltage	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>O</sub> = -20 μA	2.0	1.9	2.0	-	V
		I <sub>O</sub> = -20 μA	4.5	4.4	4.5	-	V
		I <sub>O</sub> = -20 μA	6.0	5.9	6.0	-	V
		I <sub>O</sub> = -4.0 mA	4.5	3.84	4.32	-	V
		I <sub>O</sub> = -5.2 mA	6.0	5.34	5.81	-	V
V <sub>OL</sub>	LOW-level output voltage	V <sub>I</sub> = V <sub>IH</sub> or V <sub>IL</sub> I <sub>O</sub> = 20 μA	2.0	-	0	0.1	V
		I <sub>O</sub> = 20 μA	4.5	-	0	0.1	V
		I <sub>O</sub> = 20 μA	6.0	-	0	0.1	V
		I <sub>O</sub> = 4.0 mA	4.5	-	0.15	0.33	V
		I <sub>O</sub> = 5.2 mA	6.0	-	0.16	0.33	V
I <sub>LI</sub>	input leakage current	V <sub>I</sub> = V <sub>CC</sub> or GND	6.0	-	-	±1.0	μA

# Hoja de características del fabricante

## AC CHARACTERISTICS

### Type 74HC00

GND = 0 V;  $t_r = t_f = 6$  ns;  $C_L = 50$  pF.

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		WAVEFORMS	V <sub>CC</sub> (V)				
T <sub>amb</sub> = -40 to +85 °C; note 1							
t <sub>PHL</sub> /t <sub>PLH</sub>	propagation delay nA, nB to nY	see Fig.6	2.0	-	25	115	ns
		see Fig.6	4.5	-	9	23	ns
		see Fig.6	6.0	-	7	20	ns
t <sub>THL</sub> /t <sub>TLH</sub>	output transition time		2.0	-	19	95	ns
			4.5	-	7	19	ns
			6.0	-	6	16	ns

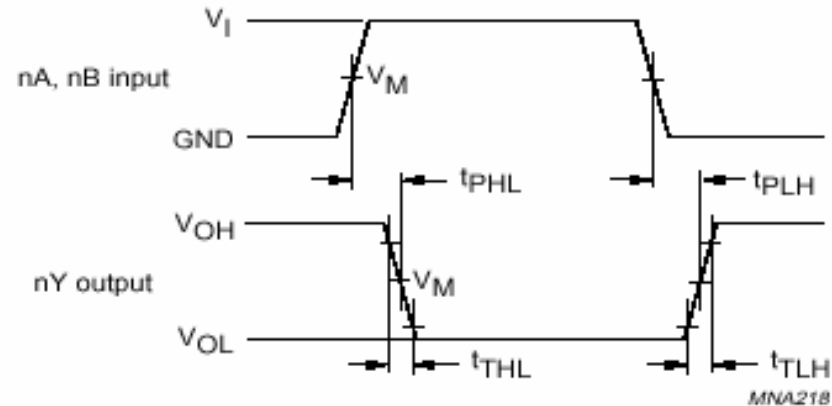


Fig.6 Waveforms showing the input (nA, nB) to output (nY) propagation delays.

# Propuesta de ejercicios

- 1) Asumiendo que  $t_r$  y  $t_f \sim \tau$ , comparar ambos tiempos para una puerta NAND y una puerta NOR de dos entradas cargadas con una capacidad  $C_L$ . ¿Cuál de las dos puertas es más rápida?
- 2) Calcular la máxima  $R$  de pull-up que se puede usar con una puerta en colector abierto, si la puerta tiene una  $R_{pdown}$  de  $100\Omega$ . Si la puerta se carga con una capacidad  $C_L$ , comparar el  $t_r$  obtenido con el de una puerta típica con  $R_{pup}=200\Omega$ .
- 3) Calcular los tiempos de propagación del inversor U2A suponiendo que la señal rectangular es ideal, de 5V de amplitud, y que el inversor está cargado a su vez con otro inversor según la figura 4.

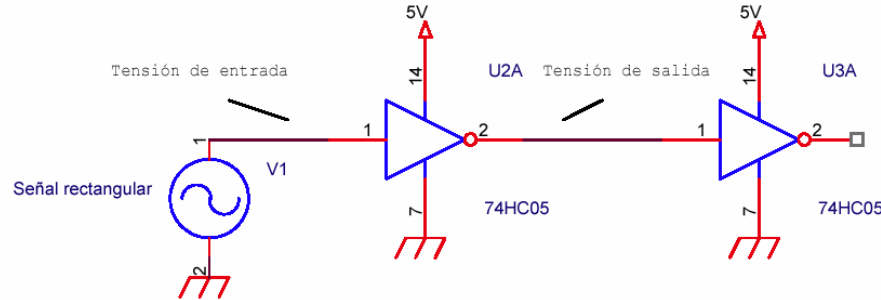


Figura 4

	nMOS	pMOS
Resistencia de on de los transistores $R_{on}$	$100\Omega$	$200\Omega$
Resistencia de off de los transistores $R_{off}$	$10M\Omega$	$10M\Omega$
Capacidad de entrada del inversor	$10pF$	

# Propuesta de ejercicios

4) Problemas 1.1 y 2, Febrero 2003

5) Problema 1, Septiembre 2003 (en el 1.1 sólo calcular R)