

Implementación en Hardware de un Modulador y Demodulador de Fase Continúa MSK

Miguel A. Galvis

Resumen—El presente artículo expone una descripción general del modulador y demodulador de fase continua MSK, este tipo de esquema de modulación es eficiente espectralmente además de ser considerado para sistemas de comunicación digital debido a su eficiencia en potencia y ancho de banda, de tal manera que puede ser utilizado con sistemas satelitales móviles, su estudio además se considera una etapa importante para abordar el conocimiento de los esquemas de modulación de fase continua.

Palabras Claves— MSK, índice de modulación, señal portadora, OQPSK, modulador, demodulador,

I. INTRODUCCION

Las características de una modulación de fase continua LCPM, introducidas en el enlace de sistemas de transmisión digital, son utilizadas por su mayor resistencia a ruido, sistemas que utilizan modulaciones como FSK (Frequency Shifting Key) y OQPSK (Offset Quadrant Phase Shift Key), sin la necesidad de ampliar el ancho de banda del canal. Los esquemas de modulación CPM poseen envolvente constante y además tienen transiciones de fase continua, de esta manera se tiene menor energía en los lóbulos laterales de su espectro comparado a esquemas de modulación como PSK o FSK.

MSK es un esquema de modulación de fase continua, en la cual la señal modulada no contiene discontinuidades de fase y cambios en frecuencia en cada cruce por cero. La modulación MSK hace que los cambios en fase sean lineales y limitados a cambios de $(\pm\pi/2)$ en cada intervalo de bit. Debido al efecto del cambio lineal de la fase, se logra una mayor eficiencia espectral.

MSK es un caso especial de CPFSK, pero también se pueden derivar de OQPSK con pulso en forma sinusoidal extras. La modulación MSK (Minimum-shift keying) es un esquema de modulación con envolvente constante, que es ampliamente usada en comunicaciones inalámbricas debido a su alta potencia y eficiencia espectral [1]. La modulación MSK es obtenida a partir de OQPSK reemplazando los pulsos rectangulares en amplitud por pulsos semi-circulares sinusoidales. Esto se debe a las variaciones sinusoidales permiten obtener un espectro más compacto. MSK se ha sido utilizado en comunicación por satélite de tecnología avanzada de la NASA (ACTS).

II. MARCO REFERENCIAL

A. MSK obtenida a partir de la modulación OQPSK

La ecuación (1) caracteriza una modulación OQPSK, se recuerda con el fin de compararla con la modulación MSK

$$s(t) = \frac{A}{\sqrt{2}} \cos(2\pi f_c t) I(t) - \frac{A}{\sqrt{2}} \sin(2\pi f_c t) Q\left(t - \frac{T}{2}\right) \quad (1)$$

está ecuación muestra dos tramas de bits una $I(t)$ y $Q(t)$ que representan los componentes en fase y de cuadratura o los bits pares e impares de una señal de datos de entrada multiplicadas por dos señales ortogonales, ahora para cumplir el objetivo de una modulación de fase continua se agregan una función con una relación de $1/4T$ del tiempo de bit, $A\cos(\pi t/2T)$ y $A\sin(\pi t/2T)$ a las tramas $I(t)$ y $Q(t)$ respectivamente,

$$s(t) = AI(t)\cos(\pi t/2T)\cos(2\pi f_c t) - AQ(t)\sin(\pi t/2T)\sin(2\pi f_c t) \quad (2)$$

donde $Q(t)$ tendrá un retardo de tiempo T , y T es el tiempo de bit. Para asegurar que se esté cumpliendo la fase continua en la ecuación (2) esta se puede reescribir de la siguiente manera, tomando en cuenta que $I(t)$ y $Q(t)$ pueden tener valor ± 1 , se puede simplificar de la siguiente manera, si $I(t)$ y $Q(t)$ son iguales

$$s(t) = A\cos(\pi t/2T)\cos(2\pi f_c t) - A\sin(\pi t/2T)\sin(2\pi f_c t)$$

$$s(t) = -\left[A\cos\left(\frac{\pi t}{2T}\right)\cos(2\pi f_c t) - A\sin\left(\frac{\pi t}{2T}\right)\sin(2\pi f_c t)\right] \quad (3)$$

A partir de la identidad trigonométrica de suma de ángulos se puede obtener una forma simplificada de (3)

$$A\cos(A+B) = A\cos(A)\cos(B) - A\sin(A)\sin(B)$$

$$s(t) = \pm A\cos\left(2\pi f_c t + \frac{\pi t}{2T}\right) \quad (4)$$

pero si $I(t)$ y $Q(t)$ son diferentes

$$s(t) = -[A\cos(\pi t/2T)\cos(2\pi f_c t) + A\sin(\pi t/2T)\sin(2\pi f_c t)]$$

$$s(t) = A\cos(\pi t/2T)\cos(2\pi f_c t) + A\sin(\pi t/2T)\sin(2\pi f_c t) \quad (5)$$

Aplicando la misma identidad trigonométrica de suma de ángulos se puede obtener una forma simplificada de (5)

$$A \cos(A - B) = A \cos(A) \cos(B) + A \sin(A) \sin(B)$$

$$s(t) = \pm A \cos\left(2\pi f_c t - \frac{\pi t}{2T}\right) \quad (6)$$

las ecuación (4) y la ecuación (6) son similares, la diferencia está en que el argumento del coseno aparece un signo + o signo - dependiendo de la combinación de I(t) y Q(t), por lo tanto a partir de este valor se puede simplificar por medio de una variable d_k dependiente de I(t) y Q(t),

$$\begin{aligned} d_k &= 1 \text{ si } I(t) \text{ y } Q(t) \text{ son diferentes} \\ d_k &= -1 \text{ si } I(t) \text{ y } Q(t) \text{ son iguales} \end{aligned}$$

De modo que la ecuación final llega a ser

$$s(t) = \pm A \cos\left(2\pi f_c t + d_k \frac{\pi t}{2T}\right) \quad (7)$$

Para eliminar la variación \pm que acompaña el término $A \cos\left(2\pi f_c t + d_k \frac{\pi t}{2T}\right)$ se puede agregar un argumento a la función, más exactamente una fase de nombre Φ_k , donde $\Phi_k = 0$ o π , de modo se obtiene la ecuación 6. La ecuación 6 describe la formula general para un modulador CPM [2].

$$s(t) = A \cos\left(2\pi f_c t + d_k \frac{\pi t}{2T} + \Phi_k\right), \quad kT \leq t \leq (k+1)T \quad (8)$$

El término $2\pi f_c t$, determina el argumento de la señal portadora y es continua en cualquier tiempo, el resto del argumento $\left(d_k \frac{\pi t}{2T} + \Phi_k\right)$, será el que determina la continuidad de la fase en cada intervalo de bit, por lo tanto se debe cumplir que en cada tiempo transición final por bit $t = (k+1)T$ [3].

$$d_k \frac{\pi(k+1)T}{2T} + \Phi_k = d_{k+1} \frac{\pi(k+1)T}{2T} + \Phi_{k+1} \quad (9)$$

B. Codificador Diferencial

El codificador diferencial se encarga de codificar los datos de entrada antes de llegar al modulador con el fin de proteger la información ante ruido o distorsión, que se pueden presentar durante la transmisión de la información, de modo que al ser obtenidos en el receptor se logre recuperar la información inicial ya decodificada con el menor error posible. En la ecuación 10 esta la expresión que caracteriza al codificador diferencial.

$$d_k = d_{k-1} \oplus a_k \quad (10)$$

El codificador diferencial está conformado por los datos de entrada a_k $k = 0, 1, 2, \dots, n$, donde n representa la cantidad

total de datos de entrada, d_k representa la salida del codificador diferencial, por lo tanto d_{k-1} es el dato que antecede a la actual salida del codificador o a su vez es un retardo de tiempo T de la salida del codificador, como estado inicial del codificador diferencial se puede asignar un valor inicial a d_{k-1} teniendo en cuenta que el decodificador diferencial deberá tener este mismo valor, \oplus es el símbolo que representa una compuerta lógica X-OR.

C. Decodificador Diferencial

El decodificador diferencial se encarga de recuperar los datos de entrada después de pasar por el demodulador, ya que durante la transmisión pudo haber sido contaminada por ruido, de modo que al pasar por el decodificador se logra recuperar la información inicial con el menor error posible. La ecuación 11 es

$$a_k = d_{k-1} \oplus d_k \quad (11)$$

El decodificador diferencial está conformado por los datos de entrada d_k $k = 0, 1, 2, \dots, n$, donde n representa la cantidad total de datos de entrada, d_{k-1} es el dato que antecede a la actual entrada del decodificador o a su vez es un retardo de tiempo T de la entrada del decodificador, como estado inicial del decodificador diferencial se puede asignar un valor inicial a d_{k-1} teniendo en cuenta que el codificador diferencial deberá tener este mismo valor, a_k representa la salida del decodificador diferencial, y \oplus es el símbolo que representa una compuerta lógica X-OR.

III. DESARROLLO EN HARDWARE

A. Datos de Entrada

Es necesario tener en cuenta un factor esencial antes de comenzar el desarrollo del modulador y demodulador en hardware, el tiempo de bit o duración de símbolo T^1 , este parámetro es necesario porque a partir de este se generan los diferentes tiempos que controlen todo el hardware del modem. La notación de los datos de entrada es a_k (en ocasiones a_k)

B. Codificador Diferencial

El codificador diferencial es la fase inicial antes de entrar en el desarrollo del modulador, la función principal disminuir la redundancia de los datos de entrada, la Fig. 1 describe el diagrama de flujo de un codificador diferencial, los

¹ El tiempo de duración símbolo es la cantidad de tiempo que tarda en completar un cambio de símbolo (bit de información), este tiempo está medido en baudios para el número de señales por segundo, el tiempo de duración símbolo trata de calcular el tiempo entre cada señal en un segundo.

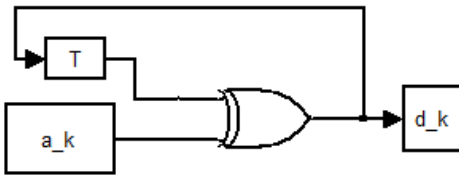


Fig. 1. Diagrama bloques para la implementación de un codificador diferencial en hardware.

componentes que conformar este codificador son; una compuerta lógica XOR, una compuerta tipo D, el cual tiene la función de generar el retardo de tiempo T (Bloque de la Fig. 1 denotado con una T), este tipo de compuertas están controladas por medio de una señal de reloj, que determina el tiempo de retardo, para este caso como es necesario un retardo de tiempo T, la señal reloj será con un periodo de valor T. El valor inicial por defecto de esta compuerta es de 0v, es necesario tener en valor porque la señal de salida codificada d_k .

C. Modulador

Retomando la ecuación (2)

$$s(t) = AI(t)\cos(\pi/2T)\cos(2\pi f_c t) - AQ(t)\sin(\pi/2T)\sin(2\pi f_c t) \quad (2)$$

Para un mejor entendimiento de modulador es necesario separar los dos términos de la ecuación (2)

$$AI(t)\cos(\pi/2T)\cos(2\pi f_c t) \quad (12)$$

$$-AQ(t)\sin(\pi/2T)\sin(2\pi f_c t) \quad (13)$$

Primero se desarrolla los componentes de la ecuación (12) debido a que lograr los componentes de la ecuación (13) tendrá un desarrollo similar. A partir de (12) se debe obtener primeros el flujo de datos $I(t)$, estos datos representaran los bits pares de la señal codificada d_k . La Fig. 2 muestra el diagrama de bloques para conseguir los datos $I(t)$, está compuesto por un selector el

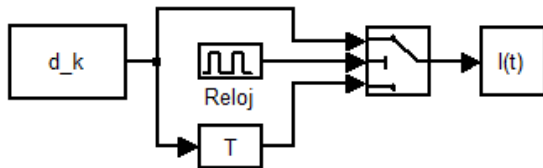


Fig. 2. Diagrama bloques para la implementación de un selector que se utilizará para obtener el flujo de datos $I(t)$ de la salida codificada d_k .

cual escogerá entre los datos codificados con retardo y sin retardo, el propósito está en poder mantener un tiempo de mas los bits pares cada tiempo de reloj del selector, el selector opera de la siguiente manera:

- Cada vez que el selector este en alto se asignara la entrada con los datos codificados sin retardo (bit par).
- Cuando el selector este en bajo se asignara la entrada con los datos codificados con retardo (bit par), de esa manera se mantendrá el mismo dato que cuando se tenía el selector en alto, así se seleccionaran siempre los datos pares.

El tiempo de reloj para el funcionamiento del selector será una señal TTL con periodo $2T$, de modo que en cada cambio de bit del reloj de selecciones una de las entradas del selector. El retardo será similar al utilizado en el codificador diferencial, utilizados el mismo periodo de retardo T.

Al obtener $I(t)$ se debe multiplicar con las dos señales $\cos(\pi/2T)$ y $\cos(2\pi f_c t)$ en el cual la frecuencia f_c es una múltiplo entero de la relación $R_b = 1/T$ para que satisfagan la propiedad de ortogonalidad[3], pero como la trama $I(t)$ maneja valores de voltaje (0v - 5v) es necesario convertir estos datos a valores bipolares, es decir para de 0v a -5 y 5v a 5v Fig. 3, debido a que

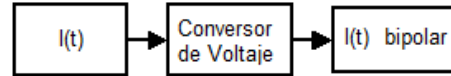


Fig. 3. Diagrama bloques para la implementación convertor de voltaje.

las señales $\cos(\pi/2T)$ y $\cos(2\pi f_c t)$ también son bipolares.

Después del convertor se procede a multiplicar los nuevos datos $I(t)$ con su respectiva señal sinusoidal de símbolo y de

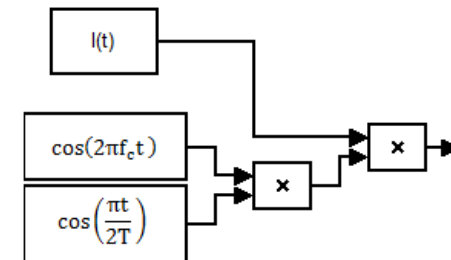


Fig. 4. Diagrama bloques para la implementación de la multiplicación de la señal de símbolo y de portadora con $I(t)$.

portadora Fig. 4.

Después de obtener la parte de $I(t)$, se realizara el mismo procedimiento para $Q(t)$, cabe destacar que tienen el mismo desarrollo la única diferencia está en cómo se obtienen los datos $Q(t)$ de la señal codificada d_k . El selector de la Fig. 5(a) tiene una particularidad distinta al selector de la Fig. 2 y es que los datos de entrada cambian de posición de esta manera, los datos que el retardo conservara serán los bits impares de los datos d_k . el funcionamiento es similar con la salvedad de que el primer datos que saldrá del selector será el dato inicial en el retardo, de modo que el selector opera de la siguiente manera:

- En el primer dato el selector estará en alto, por lo tanto será el obtenido el valor que este en el retardo del codificador d_{k-1} , con valor inicial 0v.
- En el siguiente dato el selector estará en bajo, de modo que saldrá el dato d_k (bit impar).
- El dato siguiente será nuevamente d_{k-1} pero esta vez con el valor de retardo conservando del dato anterior (bit impar).

Obtenida $Q(t)$, este se pasa por un convertor de voltaje Fig. 5(b), de modo que al tener la señal $Q(t)$ bipolar se procesa a multiplicar con sus respectivas señales de símbolo y de portadora.

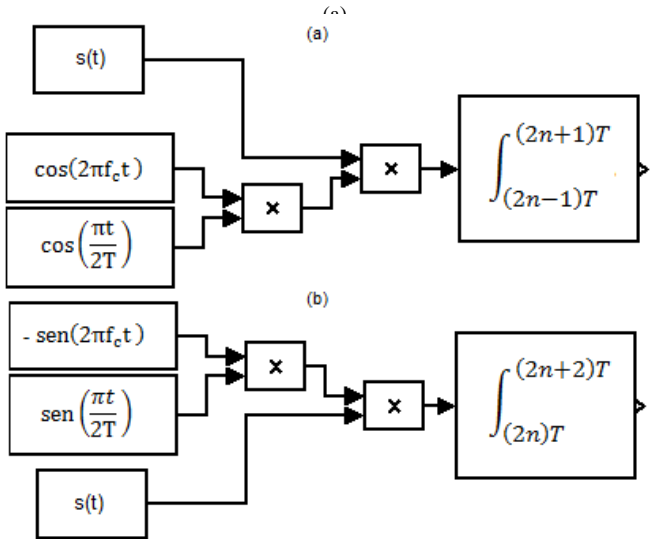


Fig. 8. (a) Diagrama del correlador para I(t). (b) Diagrama del correlador para Q(t)

Fig. 5. (a) Diagrama bloques para la implementación de un selector que se utilizará para obtener el flujo de datos Q(t) de la salida codificada d_k . (b) Diagrama bloques para la implementación conversor de voltaje. (c) Diagrama bloques para la implementación de la multiplicación de las señal de símbolo y de portadora con I(t).

Por al obtener las dos señales portadoras I(t) y Q(t) estas se suman teniendo en cuenta que la señal portadora de Q(T) va negada, la Fig. 6 ilustra el resultado final.

Como se observa en la Fig. 7 se encuentran todas las señales relacionadas con el modulador MSK, a partir de esta figura se pueden detallar varias cosas:

- El intervalo de I(t) está entre $(2n-1)T$ a $(2n+1)T$ y Q(t) a $(2n)T$ a $(2n+2)T$.
- Hay que tener en cuenta que el retardo realizado al momento de obtener I(t) y Q(t) afecta de cierta manera el estado tiempo, debido a que el tiempo inicial de referencia no será $t=0$ sino

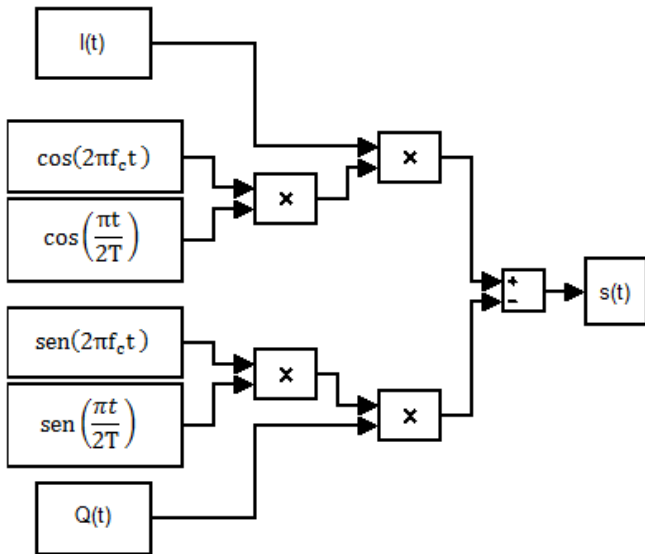


Fig. 6. Diagrama del modulador MSK

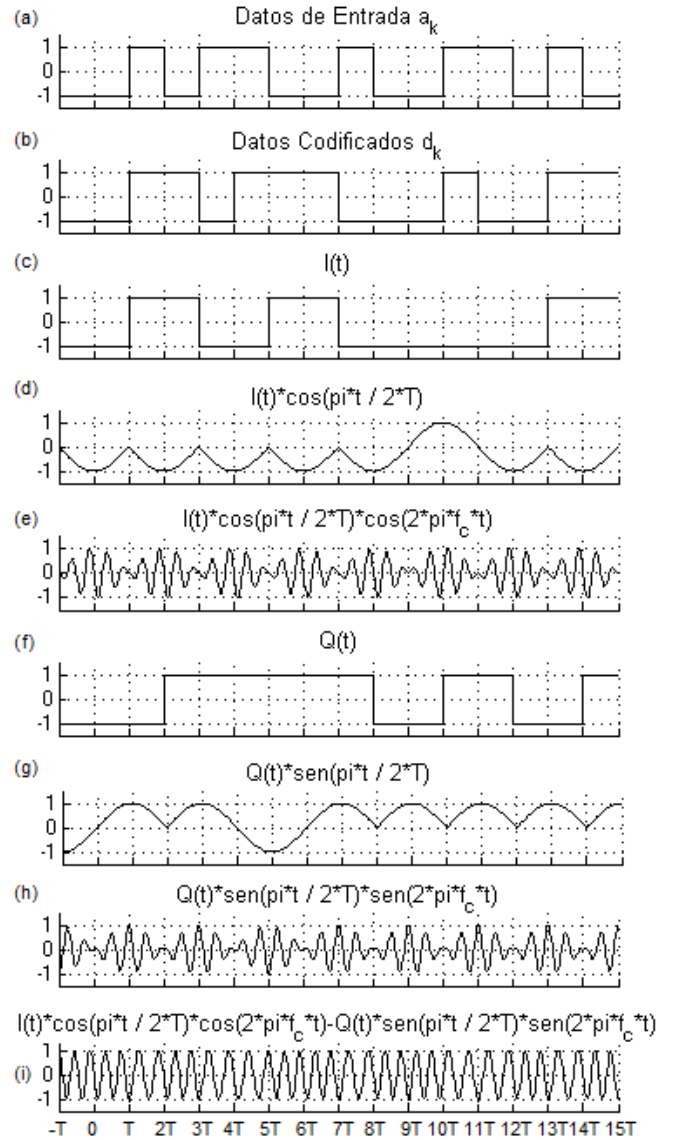


Fig. 7. Ondas de un modulador MSK

$t=-T$, como se menciona el retardo de desfase todo el estado de tiempos ocasionando que en tiempo inicial varíe.

- Por otro lado hay que destacar que si bien en la Fig. 7(d) tiene forma de onda seno, hay que tener en cuenta que el desfase anteriormente mencionado también genera un desfase en la señal coseno, por lo tanto la señal modulada original se toma desde el tiempo $t=0$, y no desde el tiempo $t=-1$, lo mismo con la Fig. 7(g).
- Por último hay que tener en cuenta que la transición en fase de la señal modulada se hace con respecto a la señal codificada y no a partir de los datos de entrada, esto a causa de después de la codificación los datos I(t) y Q(t) no son basados en los datos de entrada si no los codificados.

D. Demodulador

El demodulador está compuesto por un correlador, el correlador está constituido por un multiplicador y un integrador, El multiplicador está basado en la propiedad de ortogonalidad

de señales, cumpliendo este criterio se pueden recuperar las señales $I(t)$ y $Q(t)$ multiplicando la señal modulada $s(t)$, con las mismas señales que fueron utilizadas para modular, es decir si se quiere recupera $I(t)$ se debe multiplicar $s(t)$ con $\cos(\pi t/2T)\cos(2\pi f_c t)$ y para obtener $Q(t)$ se debe multiplicar $s(t)$ con $-\sin(\pi t/2T)\sin(2\pi f_c t)$, de modo que por la propiedad de ortogonalidad se señales[3] se obtiene

$$s(t) = I(t)\cos(\pi t/2T)\cos(2\pi f_c t) - Q(t)\sin(\pi t/2T)\sin(2\pi f_c t)$$

$$s(t) * \cos(\pi t/2T)\cos(2\pi f_c t) = I(t) \left[\cos\left(\frac{\pi t}{2T}\right)\cos(2\pi f_c t) \right]^2 \quad (14)$$

$$s(t) * -\sin(\pi t/2T)\sin(2\pi f_c t) = Q(t) \left[\sin\left(\frac{\pi t}{2T}\right)\sin(2\pi f_c t) \right]^2 \quad (15)$$

La parte de integración tiene la función de eliminar la componente de portadora después de pasar por el multiplicador con el fin de dejar la señal sin componentes sinusoidales.

Los límites de integración dependerán de los intervalos obtenidos para $I(t)$ y $Q(t)$ a partir de la Fig. 7. El resultado del integrado para (14) Fig. 8 (a) será

$$\int_{(2n-1)T}^{(2n+1)T} s(t)\phi_I(t)dt = I_k(t) \frac{1}{2} T \quad (16)$$

Donde

$$\phi_I(t) = \cos\left(\frac{\pi t}{2T}\right)\cos(2\pi f_c t)$$

De la misma manera el resultado del integrado para (15) Fig. 8(b) será[3]

$$\int_{(2n)T}^{(2n+2)T} s(t)\phi_Q(t)dt = Q_k(t) \frac{1}{2} T \quad (17)$$

Donde

$$\phi_Q(t) = -\sin\left(\frac{\pi t}{2T}\right)\sin(2\pi f_c t)$$

Al obtener los valores de $I(t)$ y $Q(t)$ sin componentes sinusoidales es momento de pasar de una conversión paralelo a serial, paralelo porque se tienen dos flujos de datos $I(t)$ y $Q(t)$ a serial para poder recuperar el tiempo de bit original. La Fig. 9 muestra el procedimiento para obtener la trama serial, cabe destacar que tiene cierta similitud al selector utilizado para obtener $I(t)$ y $Q(t)$, la diferencia claro está que no es necesario de algún retardo sino solo de los dos flujos de datos ya obtenidos, el reloj del selector tendrá un periodo de $2T$, de modo que se regrese al tiempo original de valor T .

Por último el resultado obtenido debe pasar por el decodificador diferencial con el fin de recuperar los datos iniciales, la Fig. 10 muestra el diagrama de bloques, al igual que el codificador es necesario de un retardo de tiempo T , este retardo deberá tener igual valor inicial que el codificador (en este caso $0v$) con el fin de recuperar correctamente los datos. Al final se obtendrá los valores iniciales pero con un retardo de $2T$ Fig. 11.

IV. CONCLUSION

Una señal modulada con fase continua MSK, siempre tendrá una variación en cada intervalo de tiempo T , es decir sin importar si el dato se mantiene o si cambia en el intervalo la señal modulada variara en $\pm 90^\circ$ o $\pm \frac{\pi}{2}$ radianes. La señal obtenida después de la demodulación obtendrá un retardo en comparación al dato de entrada original, este retardo es causado principalmente por el desfase que posee las señales $I(t)$ y $Q(t)$

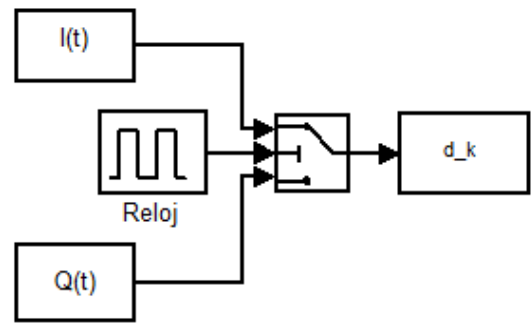


Fig. 9. Conversor de paralelo a serie

además del momento en el cual se hace la lectura en el integrador. Por último la eficiencia de este esquema de modulación esta en no presentar cambio tan abruptos en fase en cada intervalo de bit, lo cual genera una mayor eficiencia con respetos a modulación como FSK o PSK, que utilizan una mayor cantidad de ancho de banda de una canal a diferencia del

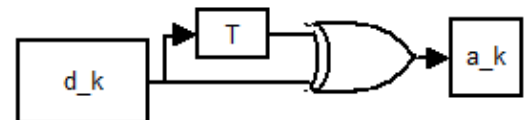


Fig. 10. Diagrama del Decodificador diferencial

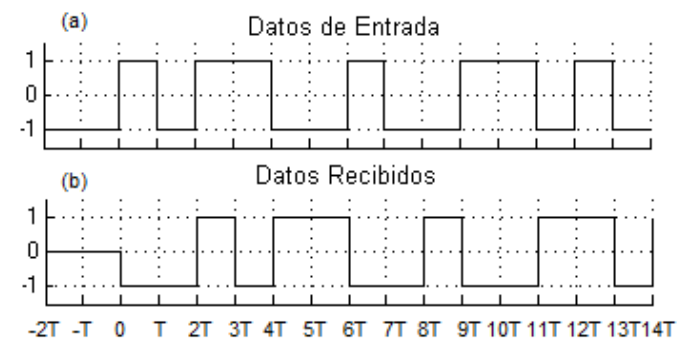


Fig. 11. Conversor de paralelo a serie

modulador MSK.

RECONOCIMIENTOS

M. A. Galvis quiere agradecer a los profesores de la facultad de ingeniería de la Fundación Universidad San Martín por permitir adquirir el conocimiento necesario para afrontar una vida laboral llena de retos, además de expresar su más sincera

gratitud a docentes, compañeros, y demás que hicieron parte en todo el proceso de formación profesional.

REFERENCES

- [1] S. Pasupathy, "Minimum Shift Keying: a spectral efficient modulation", *IEEE Commun. Soc. Mag.*, vol. 17, pp. 14-22, July 1979.
- [2] J. Proakis, *Digital Communication*, 4th ed. McGraw Hill Higher Education, 2000, pp 190 – 198.
- [3] F. Xiong, *Digital Modulation Techniques*. 2da ed. Artech House, INC, 2006, pp 208 - 250.

Miguel A. Galvis nació en Bogotá el 17 de Marzo de 1988. Es estudiante de ingeniería Electrónica y Telecomunicación de la Fundación Universidad San Martín. Obtuvo su título de bachiller en el colegio Instituto Superior Cooperativo en la promoción 2004. A obtenido diferentes títulos en la Universidad por mayor promedio semestral durante los años 2006 –I, 2006-II y 2009 – I. Actualmente está finalizando su proyecto de grado.